


TREATMENT METHOD OF SEMICONDUCTOR FILM AND MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP8330598
Publication date: 1996-12-13
Inventor: HAMADA HIROYOSHI; HIRANO KIICHI; SASAKI TERUSHI
Applicant: SANYO ELECTRIC CO
Classification:
- international: *H01L27/146; C30B1/02; C30B33/00; H01L21/02; H01L21/20; H01L21/316; H01L21/324; H01L21/336; H01L27/10; H01L27/12; H01L29/78; H01L29/786; H01L31/04; H01L27/146; C30B1/00; C30B33/00; H01L21/02; H01L27/10; H01L27/12; H01L29/66; H01L31/04; (IPC1-7): H01L29/786; H01L21/316; H01L21/324; H01L21/336; H01L27/10; H01L27/12; H01L27/146; H01L29/78*
- european: C30B1/02B; C30B33/00B; H01L21/20D
Application number: JP19950216150 19950824
Priority number(s): JP19950216150 19950824; JP19950068253 19950327

Also published as:

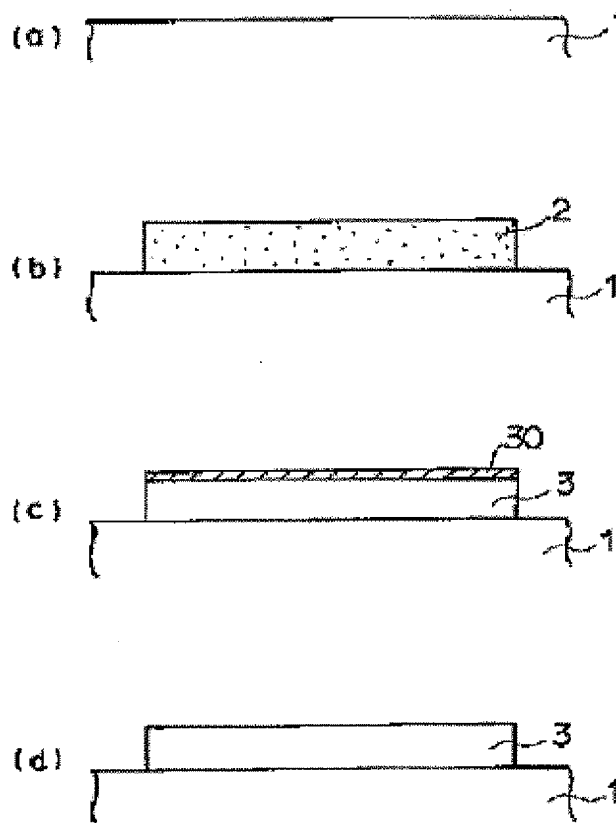
 US6329269 (B1)

Report a data error here

Abstract of JP8330598

PURPOSE: To provide a treatment method or a manufacturing method of a semiconductor film for obtaining a polycrystalline silicon film having a flat surface or a polycrystalline silicon film wherein the concentration of oxygen as impurities is low and crystal defect is little, in a semiconductor device wherein the polycrystalline silicon film is used as an active layer.

CONSTITUTION: After a noncrystalline silicon film is formed, solid growth is performed in an atmosphere containing at least gas containing oxygen element, or a fusion recrystallization method is used to form a silicon film. In another case, after a noncrystalline silicon film 2 is formed, heat treatment is performed in a wet oxygen atmosphere, and a polycrystalline silicon film 3 is formed.



Family list4 family members for: **JP8330598**

Derived from 3 applications

- 1 TREATMENT METHOD OF SEMICONDUCTOR FILM AND MANUFACTURE OF SEMICONDUCTOR DEVICE**
Inventor: HAMADA HIROYOSHI; HIRANO KIICHI; **Applicant:** SANYO ELECTRIC CO (+1)
EC: C30B1/02B; C30B33/00B; (+1) **IPC:** H01L27/146; C30B1/02; C30B33/00 (+26)
Publication info: **JP3306258B2 B2** - 2002-07-24
JP8330598 A - 1996-12-13
- 2 Semiconductor device manufacturing with amorphous film crystallization using wet oxygen**
Inventor: HAMADA HIROKI (JP); HIRANO KIICHI **Applicant:** SANYO ELECTRIC CO (US) (JP); (+1)
EC: C30B1/02B; C30B33/00B; (+1) **IPC:** H01L27/146; C30B1/02; C30B33/00 (+20)
Publication info: **US6329269 B1** - 2001-12-11
- 3 Method of treating semiconductor film and method of fabricating semiconductor device**
Inventor: HAMADA HIROKI (JP); HIRANO KIICHI **Applicant:** (JP); (+1)
EC: C30B1/02B; C30B33/00B; (+1) **IPC:** C30B1/02; C30B33/00; H01L21/20 (+7)
Publication info: **US2002102820 A1** - 2002-08-01

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-330598

(43) 公開日 平成8年(1996)12月13日

(51) Int. Cl. ⁶ 識別記号

H01L 29/786

21/336

21/316

21/324

27/10

371

F I

H01L 29/78

21/316

21/324

27/10

27/12

627

G

S

Z

371

R

審査請求 未請求 請求項の数41 O L (全19頁) 最終頁に続く

(21) 出願番号 特願平7-216150

(22) 出願日 平成7年(1995)8月24日

(31) 優先権主張番号 特願平7-68253

(32) 優先日 平7(1995)3月27日

(33) 優先権主張国 日本(J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 浜田 弘喜

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 佐々木 昭史

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 弁理士 目次 誠 (外1名)

(54) 【発明の名称】 半導体膜の処理方法及び半導体装置の製造方法

(57) 【要約】

【課題】 多結晶シリコン膜を能動層とする半導体装置において、平坦な表面を有する多結晶シリコン膜、あるいは不純物である酸素の濃度の低い結晶欠陥の少ない多結晶シリコン膜を得るための半導体膜の処理方法あるいは製造方法を提供する。

【解決手段】 非晶質シリコン膜を形成した後、酸素元素を含んだガスを少なくとも含む雰囲気中で固相成長させ、あるいは溶融再結晶化法を用いて多結晶シリコン膜を形成する。あるいは、非晶質シリコン膜2を形成した後、ウェット酸素雰囲気下で熱処理を施し、多結晶シリコン膜3を形成する。

(a) { 1

(b) { 2 1

(c) { 30 3 1

(d) { 3 1

【特許請求の範囲】

【請求項 1】 水蒸気を含む雰囲気中で、半導体膜の表面を酸化させることを特徴とする、半導体膜の処理方法。

【請求項 2】 水蒸気と酸素を含む雰囲気中で、半導体膜の表面を酸化させることを特徴とする、半導体膜の処理方法。

【請求項 3】 水蒸気を含む雰囲気中で半導体膜の表面を酸化させて、前記半導体膜中の不純物の濃度を低減させることを特徴とする、半導体膜の処理方法。

【請求項 4】 水蒸気と酸素を含む雰囲気中で半導体膜の表面を酸化させて、前記半導体膜中の不純物の濃度を低減させることを特徴とする、半導体膜の処理方法。

【請求項 5】 前記酸化が、前記半導体膜を熱処理することによって行われることを特徴とする、請求項 1～請求項 4 のいずれかに記載の半導体膜処理方法。

【請求項 6】 前記半導体膜が非晶質であることを特徴とする、請求項 1～請求項 5 のいずれかに記載の半導体膜の処理方法。

【請求項 7】 前記酸化が熱処理によって成され、該熱処理によって前記非晶質の半導体膜が結晶化されることを特徴とする、請求項 6 に記載の半導体膜の処理方法。

【請求項 8】 前記非晶質の半導体膜の結晶化が、固相成長法または溶融再結晶化法によって行われることを特徴とする、請求項 7 に記載の半導体膜の処理方法。

【請求項 9】 前記半導体膜がシリコン膜であることを特徴とする、請求項 1～請求項 8 のいずれかに記載の半導体膜の処理方法。

【請求項 10】 基板上に非晶質の半導体膜を形成する工程と、
水蒸気を含む雰囲気中で前記非晶質の半導体膜の表面を酸化する工程と、
前記半導体膜の表面に形成された酸化膜を除去する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項 11】 基板上に非晶質の半導体膜を形成する工程と、
水蒸気と酸素を含む雰囲気中で前記非晶質の半導体膜の表面を酸化する工程と、
前記半導体膜の表面に形成された酸化膜を除去する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項 12】 基板上に非晶質の半導体膜を形成する工程と、
水蒸気を含む雰囲気中で前記非晶質の半導体膜を熱処理することにより、前記非晶質の半導体膜を結晶化させるとともに、該半導体膜の表面を酸化する工程と、
前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項 13】 基板上に非晶質の半導体膜を形成する工程と、
水蒸気と酸素を含む雰囲気中で前記非晶質の半導体膜を

熱処理することにより、前記非晶質の半導体膜を結晶化させるとともに、該半導体膜の表面を酸化する工程と、
前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項 14】 前記非晶質の半導体膜の結晶化が、固相成長法または溶融再結晶化法によって行われることを特徴とする、請求項 12 または請求項 13 に記載の半導体装置の製造方法。

【請求項 15】 基板上に非晶質の半導体膜を形成する工程と、
水蒸気を含む雰囲気中で前記非晶質の半導体膜が結晶化しない温度で熱処理することによって、前記非晶質の半導体膜の表面を酸化する工程と、
前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項 16】 基板上に非晶質の半導体膜を形成する工程と、
水蒸気と酸素を含む雰囲気中で前記非晶質の半導体膜が結晶化しない温度で熱処理することによって、前記非晶質の半導体膜の表面を酸化する工程と、
前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項 17】 前記酸化膜除去後の非晶質の半導体膜を熱処理して結晶化させる工程をさらに備えることを特徴とする、請求項 15 または請求項 16 に記載の半導体装置の製造方法。

【請求項 18】 前記熱処理が、固相成長法または溶融再結晶化法により行われることを特徴とする、請求項 17 に記載の半導体装置の製造方法。

【請求項 19】 前記半導体膜はシリコン膜であることを特徴とする、請求項 10～請求項 18 のいずれかに記載の半導体装置の製造方法。

【請求項 20】 請求項 10～請求項 14、請求項 17 及び請求項 18 のいずれかに記載の製造方法により製造された半導体膜を能動層として用いたことを特徴とする、薄膜トランジスタ。

【請求項 21】 請求項 20 に記載の前記薄膜トランジスタを画素駆動素子として用いたことを特徴とする、液晶表示装置。

【請求項 22】 画素部と周辺駆動回路部とを同一基板上に形成したドライバー一体型液晶表示装置において、請求項 20 に記載の薄膜トランジスタを前記画素部と前記周辺駆動回路部の駆動素子として用いたことを特徴とする、ドライバー一体型液晶表示装置。

【請求項 23】 請求項 10～請求項 14、請求項 17 及び請求項 18 のいずれかに記載の製造方法により製造された半導体層を光電変換層として用いたことを特徴とする、光起電力装置。

【請求項 24】 基板上に非晶質の半導体膜を形成し、該非晶質の半導体膜を熱処理することにより結晶化され

た半導体膜を能動層とする薄膜トランジスタの製造方法において、

水蒸気を含む雰囲気中で熱処理することにより前記非晶質の半導体膜を結晶化するとともに、その表面を酸化する工程と、

前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、薄膜トランジスタの製造方法。

【請求項25】 基板上に非晶質の半導体膜を形成し、該非晶質の半導体膜を熱処理することにより結晶化した半導体膜を能動層とする薄膜トランジスタの製造方法において、

水蒸気と酸素を含む雰囲気中で熱処理することにより、前記非晶質の半導体膜を結晶化させるとともに、その表面を酸化する工程と、

前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、薄膜トランジスタの製造方法。

【請求項26】 基板上に非晶質の半導体膜を形成し、該非晶質の半導体膜を熱処理することにより結晶化した半導体膜を光電変換層とする光起電力装置の製造方法において、

水蒸気を含む雰囲気中で熱処理することにより、前記非晶質の半導体膜を結晶化させるとともに、その表面を酸化する工程と、

前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、光起電力装置の製造方法。

【請求項27】 基板上に形成した非晶質半導体膜を光電変換層として用いた光起電力装置の製造方法において、

水蒸気を含む雰囲気中で前記非晶質の半導体膜が結晶化しない温度で熱処理することにより、前記非晶質の半導体膜の表面を酸化する工程と、

前記半導体膜表面の酸化膜を除去する工程とを備えたことを特徴とする、光起電力装置の製造方法。

【請求項28】 前記熱処理は、水蒸気と酸素を含む雰囲気中で行われることを特徴とする、請求項26または請求項27に記載の光起電力装置の製造方法。

【請求項29】 酸素元素を含んだガスを少なくとも含む雰囲気中にて、外部エネルギーの供給により多結晶シリコン膜を形成することを特徴とする、半導体装置の製造方法。

【請求項30】 請求項29に記載の半導体装置の製造方法において、外部エネルギーの供給は、固相成長法または熔融再結晶化法であることを特徴とする、半導体装置の製造方法。

【請求項31】 半導体基板または絶縁基板上に非晶質シリコン膜を形成する工程と、該非晶質シリコン膜を酸素元素を含んだガスを少なくとも含む雰囲気中にて固相成長または熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えたことを特徴とする、半導体装置の製造方法。

【請求項32】 請求項29～請求項31のいずれか1項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることを特徴とする、薄膜トランジスタ。

【請求項33】 請求項29～請求項31のいずれか1項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることを特徴とする、SRAM。

【請求項34】 請求項29～請求項31のいずれか1項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることを特徴とする、CCD。

【請求項35】 請求項29～請求項31のいずれか1項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜にゲート電極を形成する工程と、前記多結晶シリコン膜にソース領域及びドレイン領域を形成する工程とを備えたことを特徴とする、薄膜トランジスタの製造方法。

20 【請求項36】 請求項35に記載の薄膜トランジスタの製造方法において、

デバイスの全面に層間絶縁膜を形成する工程と、該層間絶縁膜にソース領域及びドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極及びドレイン電極を形成する工程とを備えたことを特徴とする、薄膜トランジスタの製造方法。

【請求項37】 請求項32に記載の薄膜トランジスタを画素駆動素子として用いたことを特徴とする、表示装置。

30 【請求項38】 請求項32に記載の薄膜トランジスタを画素駆動素子として用いたことを特徴とする、液晶表示装置。

【請求項39】 請求項35または請求項36に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いたことを特徴とする、表示装置。

【請求項40】 請求項35または請求項36に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いたことを特徴とする液晶表示装置。

40 【請求項41】 請求項35または請求項36に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素部と周辺駆動回路部とが同一基板上に形成されたドライバー一体型液晶表示装置の画素駆動素子として用いたことを特徴とする、ドライバー一体型液晶表示装置。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 本発明は、半導体膜の処理方法及び半導体装置の製造方法に関し、特に、不純物濃度

の低減が可能な多結晶シリコン等の半導体膜の処理方法及び該半導体膜を用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、キャリア移動度が非晶質シリコンに比べ非常に高い多結晶シリコンを半導体層として用いた半導体装置が注目されている。このような半導体装置の一つに、薄膜トランジスタ(TFT:Thin Film Transistor)がある。

【0003】以下に、非晶質シリコン膜を固相成長させて多結晶シリコン膜を得る、いわゆる固相成長法を用いた従来の薄膜トランジスタの製造方法について説明する。図17及び図18は、従来の液晶ディスプレイの画素駆動素子として用いられる薄膜トランジスタの製造工程を示す。

【0004】まず、図17(a)に示すように、石英基板101を用意する。次に、図17(b)に示すように、石英基板101上に、CVD(Chemical Vapor Deposition:化学的気相成長)法によって、温度500~600℃、SiH₄流量:50sccmの条件にて非晶質シリコン膜102を形成する。

【0005】さらに、図17(c)に示すように、非晶質シリコン膜102を不活性ガスである窒素ガス雰囲気中にて固相成長させ、多結晶シリコン膜103を得る。固相成長の条件は、N₂ガス4リットル/min、温度500~650℃、時間:数時間~100時間である。

【0006】さらに、図17(d)に示すように、多結晶シリコン膜103上にゲート絶縁膜105を形成する。さらに、図17(e)に示すように、ゲート絶縁膜105上にゲート電極106となる多結晶シリコン膜を熱CVD法を用いて形成する。そして、N₂雰囲気中で1050℃、60分の熱処理を行った後、多結晶シリコン膜をパターニングしてゲート電極106を形成する。なお、このゲート電極106は、金属、例えばアルミニウム(Al)、クロム(Cr)などを蒸着法またはスパッタ法によって形成してもよい。

【0007】その後、図18(f)に示すように、異方性エッチングにより、ゲート絶縁膜105に孔107、107を形成する。そして、イオン注入法などにより、リン(P)などのn型不純物108をドーブし、その後、N₂雰囲気中で900℃、30分熱処理を行い、多結晶シリコン膜103中にn型のドレイン領域109及びソース領域110を形成する。

【0008】さらに、図18(g)に示すように、スパッタ法により、石英基板101上の画素部領域上にITO(Indium Tin Oxide)などからなる補助容量電極111を形成する。

【0009】さらに、図18(h)に示すように、スパッタ法によりゲート配線106上にモリブデン(Mo)などの金属、あるいは金属シリサイド、さらには多結晶

シリコンからなるゲート電極112を形成する。さらに、窒化シリコンなどからなる層間絶縁膜113を全面に形成し、エッチングなどを用いて層間絶縁膜113を部分的に除去し、ドレイン領域109及びソース領域110の上方にコンタクトホール114、114を形成する。

【0010】その後、図18(i)に示すように、スパッタ法により、画素部の層間絶縁膜113の上にITOからなる画素電極115を形成する。画素電極115は、コンタクトホール114を通してソース領域110と電気的に接続している。さらに、全面に導電膜を形成した後パターニングすることにより、ドレイン領域109に接続されるドレイン電極116と、ソース領域110に電気的に接続されるソース電極117を形成する。

【0011】以上の工程により、液晶ディスプレイ(LCD)の画素駆動素子としての多結晶シリコンTFTが完成する。

【0012】

【発明が解決しようとする課題】上記のように、従来のTFTは、不活性ガス雰囲気下で固相成長して形成された多結晶シリコン膜を能動層として使用している。ところが、非晶質シリコン膜を固相成長させる際に、窒素ガスなどの不活性ガスの雰囲気中で固相成長を行わせると、多結晶シリコン膜の表面に著しい凹凸が形成される。

【0013】図19は、非晶質シリコン膜成膜時の原料ガスとしてシラン(SiH₄)ガスを用いて多結晶シリコン膜を形成した場合における、多結晶シリコン膜の表面粗さをAFM(Atomic Force Microscopy)を用いて測定した結果を示す特性図である。図19に示されるように、多結晶シリコン膜の表面の平均粗さは4.85Åであり、最大の凹凸(最大値と最小値の差)は19.5Åもあり、表面の段差が著しいことがわかる。このような多結晶シリコン膜を薄膜トランジスタの能動層として使用すると、多結晶シリコン膜表面の凹凸によりキャリアが散乱され、薄膜トランジスタの駆動特性が劣化するという問題があった。

【0014】そこで、このような凹凸形状を有する多結晶シリコン膜表面を研磨する方法が検討されている(Appl. Phys. Lett., Vol.64, No.17, p.2273-2275, 25 April 1994)。

【0015】この方法では、まず、熱酸化によって形成したSiO₂膜上に減圧CVD法を用いて形成した非晶質シリコン膜を多結晶シリコン膜化し、次に多結晶シリコン膜の表面を機械的あるいは化学的に研磨することによって平らにした後、この平坦化された多結晶シリコン膜を能動層とするTFTを作製している。

【0016】しかしながら、機械的あるいは化学的な研磨を行うにあたっては、高価な装置が必要となるばかりか、その条件を継続的に維持するために装置の維持管理

にも十分な配慮が必要となる。このために、製造コストが増大するという問題がある。

【 0 0 1 7 】また、上記のような方法により成膜された多結晶シリコン膜中には、酸素などの不純物が含まれている。このような不純物は膜中に結晶欠陥などを生じさせるため、その濃度が低い方が好ましい。しかしながら、現状の成膜装置、例えば C V D 装置などを用いた製造プロセスでは、成膜段階から酸素などの不純物濃度を下げるには限界があり、特に酸素濃度の低減が困難なことが知られている。例えば、P E - C V D (プラズマ C V D) 、 L P - C V D (減圧 C V D) 装置などでは、成膜中の酸素濃度を $\sim 10^{11} \text{ cm}^{-3}$ 程度にすることが限界である。このため、非晶質シリコン膜を成膜した後、固相成長法を用いて得られた多結晶シリコン膜中には、不純物である酸素が多く含まれ、この酸素の存在に起因する結晶欠陥の発生によって T F T の特性が劣化するという問題もあった。

【 0 0 1 8 】本発明の目的は、非晶質状態から結晶化される半導体膜の表面を平滑に形成することが可能な半導体装置の製造方法を提供することである。さらに、本発明の目的は、半導体膜中の不純物濃度を低減し得る半導体膜の処理方法及び半導体装置の製造方法を提供することである。

【 0 0 1 9 】

【課題を解決するための手段】本発明の半導体膜の処理方法は、水蒸気を含む雰囲気中で、半導体膜の表面を酸化させることを特徴としている。

【 0 0 2 0 】本発明の他の局面における半導体膜の処理方法は、水蒸気と酸素を含む雰囲気中で、半導体膜の表面を酸化させることを特徴としている。本発明のさらに他の局面における半導体膜の処理方法は、水蒸気を含む雰囲気中で半導体膜の表面を酸化させて、前記半導体膜中の不純物の濃度を低減させることを特徴としている。

【 0 0 2 1 】本発明のさらに他の局面における半導体膜の処理方法は、水蒸気と酸素を含む雰囲気中で半導体膜の表面を酸化させて、前記半導体膜中の不純物の濃度を低減させることを特徴としている。

【 0 0 2 2 】本発明の限定された局面における半導体膜の処理方法では、酸化が、半導体膜を熱処理することによって行われることを特徴としている。さらに、本発明の限定された局面における半導体膜の処理方法では、半導体膜が非晶質であることを特徴としている。

【 0 0 2 3 】本発明の限定された局面における半導体膜の処理方法では、酸化が熱処理によって成され、該熱処理によって非晶質の半導体膜が結晶化されることを特徴としている。

【 0 0 2 4 】本発明のさらに限定された局面における半導体膜の処理方法では、非晶質の半導体膜の結晶化が、固相成長法または溶融再結晶化法によって行われることを特徴としている。

【 0 0 2 5 】本発明のさらに限定された局面における半導体膜の処理方法では、半導体膜がシリコン膜であることを特徴としている。本発明の半導体装置の製造方法では、基板上に非晶質の半導体膜を形成する工程と、水蒸気を含む雰囲気中で非晶質の半導体膜の表面を酸化する工程と、半導体膜の表面に形成された酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 2 6 】本発明の他の局面における半導体装置の製造方法は、基板上に非晶質の半導体膜を生成する工程と、水蒸気と酸素とを含む雰囲気中で非晶質の半導体膜の表面を酸化する工程と、半導体膜の表面に形成された酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 2 7 】本発明の他の局面における半導体装置の製造方法は、基板上に非晶質の半導体膜を形成する工程と、水蒸気を含む雰囲気中で非晶質の半導体膜を熱処理することにより、非晶質の半導体膜を結晶化させるとともに、該半導体膜の表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えることを特徴としている。

【 0 0 2 8 】本発明の他の局面における半導体装置の製造方法は、基板上に非晶質の半導体膜を形成する工程と、水蒸気と酸素を含む雰囲気中で非晶質半導体膜を熱処理することにより、非晶質の半導体膜を結晶化させるとともに、該半導体膜の表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 2 9 】本発明の限定された局面における半導体装置の製造方法では、非晶質の半導体膜の結晶化が固相成長法または溶融再結晶化法によって行われることを特徴としている。

【 0 0 3 0 】本発明の他の限定された局面における半導体装置の製造方法では、基板上に非晶質の半導体膜を形成する工程と、水蒸気を含む雰囲気中で非晶質の半導体膜が結晶化しない温度で熱処理することによって、非晶質の半導体膜の表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 3 1 】本発明の他の限定された局面における半導体装置の製造方法では、基板上に非晶質の半導体膜を形成する工程と、水蒸気と酸素を含む雰囲気中で非晶質の半導体膜が結晶化しない温度で熱処理することによって、非晶質の半導体膜の表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 3 2 】本発明のより限定された局面における半導体装置の製造方法では、非晶質の半導体膜を熱処理して結晶化させる工程をさらに備えることを特徴としている。本発明のより限定された局面における半導体装置の製造方法では、熱処理が、固相成長法または溶融再結晶

10

20

30

40

50

化法により行われることを特徴としている。

【 0 0 3 3 】本発明のさらに限定された局面における半導体装置の製造方法では、半導体膜はシリコン膜であることを特徴としている。本発明の他の局面に従う薄膜トランジスタは、請求項 1 0 ～請求項 1 4、請求項 1 7 及び請求項 1 8 のいずれかに記載の製造方法により製造された半導体膜を能動層として用いたことを特徴としている。

【 0 0 3 4 】本発明のさらに他の局面に従う液晶表示装置は、請求項 2 0 に記載の薄膜トランジスタを画素駆動素子として用いたことを特徴としている。本発明のさらに他の局面に従うドライバー一体型液晶表示装置は、画素部と周辺駆動回路部とを同一基板上に形成した装置であり、請求項 2 0 に記載の薄膜トランジスタを画素部と周辺回路部の駆動素子として用いたことを特徴としている。

【 0 0 3 5 】本発明のさらに他の局面に従う光起電力装置は、請求項 1 0 ～請求項 1 4、請求項 1 7 及び請求項 1 8 のいずれかに記載の製造方法により製造された半導体層を光電変換層として用いたことを特徴としている。

【 0 0 3 6 】本発明の他の局面による薄膜トランジスタの製造方法は、基板上に非晶質の半導体膜を形成し、該非晶質の半導体膜を熱処理することにより結晶化された半導体膜を能動層とする薄膜トランジスタの製造方法であり、水蒸気を含む雰囲気中で熱処理することにより非晶質の半導体膜を結晶化するとともに、その表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 3 7 】本発明の他の局面における薄膜トランジスタの製造方法は、基板上に非晶質の半導体膜を形成し、該非晶質の半導体膜を熱処理することにより結晶化した半導体膜を能動層とする薄膜トランジスタの製造方法であり、水蒸気と酸素を含む雰囲気中で熱処理することにより、非晶質の半導体膜を結晶化させるとともに、その表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 3 8 】本発明の他の局面における光起電力装置の製造方法は、基板上に非晶質の半導体膜を形成し、該非晶質の半導体膜を熱処理することにより結晶化した半導体膜を光電変換層とする光起電力装置の製造方法であり、水蒸気を含む雰囲気中で熱処理することにより、非晶質の半導体膜を結晶化させるとともに、その表面を酸化する工程と、半導体膜表面の酸化膜を除去する工程とを備えたことを特徴としている。

【 0 0 3 9 】本発明の限定された局面における光起電力装置の製造方法は、基板上に形成した非晶質の半導体膜を光電変換層として用いた光起電力装置の製造方法であり、水蒸気を含む雰囲気中で非晶質の半導体膜が結晶化しない温度で熱処理することにより、非晶質の半導体膜の表面を酸化する工程と、半導体膜表面の酸化膜を除去

する工程とを備えたことを特徴としている。

【 0 0 4 0 】本発明の限定された局面における光起電力装置の製造方法において、熱処理は、水蒸気と酸素を含む雰囲気中で行われることを特徴としている。本発明の半導体装置の製造方法は、酸素元素を含んだガスを少なくとも含む雰囲気中にて、外部エネルギーの供給により多結晶シリコン膜を形成することを特徴としている。

【 0 0 4 1 】本発明の限定された局面における半導体装置の製造方法において、外部エネルギーの供給は、固相成長法または熔融再結晶化法であることを特徴としている。本発明による半導体装置の製造方法は、半導体基板または絶縁基板上に非晶質シリコン膜を形成する工程と、該非晶質シリコン膜を酸素元素を含んだガスを少なくとも含む雰囲気中にて固相成長または熔融再結晶化させて多結晶シリコン膜を形成する工程とを備えたことを特徴としている。

【 0 0 4 2 】本発明の限定された局面における薄膜トランジスタは、請求項 2 9 ～請求項 3 1 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることを特徴としている。

【 0 0 4 3 】本発明の限定された局面における S R A M は、請求項 2 9 ～請求項 3 1 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることを特徴としている。

【 0 0 4 4 】本発明の他の局面における C C D は、請求項 2 9 ～請求項 3 1 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜を能動層として用いることを特徴としている。

【 0 0 4 5 】本発明の薄膜トランジスタの製造方法は、請求項 2 9 ～請求項 3 1 のいずれか 1 項に記載の半導体装置の製造方法によって形成された多結晶シリコン膜上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜にゲート電極を形成する工程と、多結晶シリコン膜にソース領域及びドレイン領域を形成する工程とを備えたことを特徴としている。

【 0 0 4 6 】本発明の限定された局面における薄膜トランジスタの製造方法は、デバイスの全面に層間絶縁膜を形成する工程と、該層間絶縁膜にソース領域及びドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極及びドレイン電極を形成する工程とを備えたことを特徴としている。

【 0 0 4 7 】本発明のより限定された局面における表示装置は、請求項 3 2 に記載の薄膜トランジスタを画素駆動素子として用いたことを特徴としている。本発明のさらに限定された局面における液晶表示装置は、請求項 3 2 に記載の薄膜トランジスタを画素駆動素子として用いたことを特徴としている。

【 0 0 4 8 】本発明の限定された局面における表示装置は、請求項 3 5 または請求項 3 6 に記載の薄膜トランジ

スタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いたことを特徴としている。

【0049】本発明のより限定された局面における液晶表示装置は、請求項35または請求項36に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素駆動素子として用いたことを特徴としている。

【0050】本発明のより限定された局面におけるドライバー一体型液晶表示装置は、請求項35または請求項36に記載の薄膜トランジスタの製造方法によって製造された薄膜トランジスタを画素部と周辺駆動回路部とが同一基板上に形成されたドライバー一体型液晶表示装置の画素駆動素子として用いたことを特徴としている。

【0051】なお、特許請求の範囲で用いた用語「基板」は、半導体基板や絶縁性基板のみならず、半導体膜が形成される基礎となる下地層等が形成された基板をも含む意味である。

【0052】また、本発明の非晶質には、微結晶状態も含まれるものである。さらに、本発明の対象となる半導体膜としては、シリコン膜に限らず、例えば、II-VI族、III-V族、IV-IV族等の化合物半導体膜も含まれる。

【0053】

【発明の実施の形態】以下、本発明の実施形態について説明する。本発明は、半導体膜、例えば多結晶シリコン膜の膜質の向上に係る処理あるいは製造方法を提供するものであり、該方法は半導体膜を用いる半導体装置あるいはその応用機器等に広く適用できるものである。従って、以下では、主として半導体膜として多結晶シリコン膜を用いた場合の処理あるいは製造方法について、多結晶シリコン膜を能動層とする薄膜トランジスタを用いた液晶表示装置及び光起電力装置などへの適用例を参照して説明する。

【0054】第1の実施形態

図1及び図2は、本発明の第1の実施形態に係る薄膜トランジスタの製造工程を示す製造工程説明図である。ここでは、本発明を液晶表示装置の画素領域の各画素のスイッチング素子に用いられる多結晶シリコン薄膜トランジスタの製造工程に適用した場合について説明する。なお、本実施形態は、請求項29～32及び請求項35～41に対応するものである。

【0055】まず、図1(a)に示すように、半導体あるいは絶縁性を有する基板1を用意する。半導体基板としては、シリコン基板、砒化ガリウム基板が用いられる。絶縁性基板としては、ガラス、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどのあらゆる絶縁材料による基板を含むのみならず、表面にシリコン膜などの絶縁膜を設けた金属などの導電性基板、さらには同じく表面にシリコン酸化膜などの絶縁膜を設けた半導体性基板をも用いることができる。

【0056】次に、図1(b)に示すように、基板1上に、プラズマCVD法により非晶質シリコン膜2を形成する。形成条件は、

基板温度：500～600℃

ガス流量：SiH₄；50sccm、
H₂；40sccm

RFパワー：40W

である。

【0057】なお、非晶質シリコン膜2は、LP-CVD法を用いて形成することもできる。この場合の成膜条件としては、例えば、表1に示す条件が設定される。

【0058】

【表1】

原材料ガス	SiH ₄	Si ₂ H ₆
圧力	0.6 Torr	0.6 Torr
基板温度	580℃	480℃
ガス流量	120 cc/分	80 cc/分
成膜速度	60 Å/分	30 Å/分

【0059】次に、図1(c)に示すように、熱処理を施すことにより、非晶質シリコン膜2を固相成長させて多結晶シリコン膜3を得る。この固相成長は、酸素元素を含むガス4を含んだ雰囲気中で行う。そして、熱処理条件として、

基板温度：500～650℃

処理時間：10時間以上

に設定される。酸素元素を含むガスとしては、例えばO₂、O₃、CO、CO₂、NO、N₂Oなどが用いられる。そして、この多結晶シリコン膜3がTFTの能動層となる。

【0060】この後、多結晶シリコン膜3中の結晶欠陥を低減させるために、熱処理を行う。熱処理の条件は、当該多結晶シリコン薄膜トランジスタの製造が高温プロセスあるいは低温プロセスのいずれが適用されるかによって異なる。例えば、基板1として高耐熱ガラスや石英基板等を用いて高温プロセスを適用する場合には、熱処理はN₂雰囲気中で1050℃、0.5時間行われる。また、基板1として通常のガラス等を用いて低温プロセスを適用する場合には、熱処理はN₂雰囲気中で温度500～650℃、10時間行われる。

【0061】さらに、図1(d)に示すように、多結晶シリコン膜3上にゲート絶縁膜5を形成する。ゲート絶縁膜5の形成方法としては、AP-CVD（常圧CVD）法、LP-CVD（減圧CVD）法、スパッタ法などが用いられる。

【0062】AP-CVD法の場合には、O₂ガスとSiH₄ガスとをO₂/SiH₄=3～10として、成膜温度が400～450℃で成膜される。また、LP-CVD法の場合には、O₂ガスとSiH₄ガスとをO₂/

$\text{SiH}_4 = 5 \sim 200$ として、成膜温度が $400 \sim 450^\circ\text{C}$ で圧力 1 Torr で成膜される。さらに、スパッタ法の場合には、圧力が $5 \times 10^{-4} \sim 5 \times 10^{-3} \text{ Torr}$ 、RF パワーが 300 W で成膜される。

【0063】さらに、図 1 (e) に示すように、ゲート絶縁膜 5 上に多結晶シリコン膜を熱 CVD 法を用いて形成した後、パターニングし、ゲート電極 6 を形成する。なお、このゲート電極 6 は、金属、例えばアルミニウム、クロムなどを蒸着法またはスパッタ法によって形成してもよい。

【0064】さらに、図 2 (f) に示すように、異方性エッチングを用いてゲート絶縁膜 5 中に孔 7、7 を形成する。そして、イオンシャワードーピング法などによりリンなどの n 型不純物 8 をドーピングし、多結晶シリコン膜 3 中に n 型のドレイン領域 9 及びソース領域 10 を形成する。同時に、ゲート電極 6 中にもリンなどの n 型不純物がドーピングされる。これにより、ゲート電極 6 の低抵抗化が図られる。

【0065】さらに、図 2 (g) に示すように、基板 1 の画素領域上に、ITO などからなる補助容量電極 11 を形成する。その後、スパッタ法によりゲート電極 6 の上にモリブデンなどの金属、あるいは金属シリサイド、さらには多結晶シリコン膜などからなるゲート配線 12 を形成する。

【0066】さらに、図 2 (h) に示すように、基板 1 上の全面に窒化シリコンなどからなる層間絶縁膜 13 を形成する。そして、エッチングにより層間絶縁膜 13 を部分的に除去し、ドレイン領域 9 及びソース領域 10 の上方にコンタクトホール 14、14 を形成する。

【0067】そして、図 2 (i) に示すように、スパッタ法により、画素部に位置する層間絶縁膜 13 の上に、ITO からなる画素電極 15 を形成する。画素電極 15 の一部は、コンタクトホール 14 を通してソース領域 10 に電気的に接続されている。さらに、全面に導電材料を形成した後、パターニングし、各々ドレイン領域 9 及びソース領域 10 に接続されるドレイン電極 16 及びソース電極 17 を形成する。

【0068】以上の工程により、LCD の画素駆動素子としての多結晶シリコン TFT が完成する。上記の工程において、図 1 (c) に示すように、酸素元素を含むガス雰囲気中で非晶質シリコン膜を固相成長させた場合、結晶化した多結晶シリコン膜の表面の凹凸は、従来の方法、すなわち不活性ガス雰囲気中で固相成長させた場合に比べ微小に形成されている。

【0069】図 3 は、非晶質シリコン成膜時の原料ガスとしてシラン (SiH_4) ガスを用いた場合の、多結晶シリコン膜の表面粗さを AFM を用いて測定した結果を示す特性図である。図 3 から明らかなように、上記のような製造方法による多結晶シリコン膜の表面の粗さはほとんど均一になっており、その平均値は約 1.82 \AA で

ある。これは、図 19 に示す従来の場合に比べ極めて微小となっていることがわかる。

【0070】また、図 4 は、上記のような方法により製造した多結晶シリコン膜を用いた TFT の特性を示す特性図である。図 4 の横軸は、ゲート電極に印加されるゲート電圧を示し、縦軸はドレイン電流を示している。また、破線は従来の方法により製造した TFT の特性を示し、実線は上記の方法により製造した TFT の特性を示している。両者の比較より、本発明の TFT は、オン電流が高くなり、かつオフ電流は低くなっている。従って、従来の TFT の特性に比べ、オフ時のリーク電流が小さく、オン時の駆動電流が大きい優れた特性を示すことがわかる。

【0071】上記のような方法により製造された多結晶シリコン TFT は、例えば透過型 LCD の画素部の画素駆動素子として好適に用いられる。従って、ここで透過型 LCD の画素部の構造について説明する。図 5 は、アクティブマトリクス方式 LCD の構成を示すブロック図である。LCD は、画素部 23 と、ドレインドライバ 26 及びゲートドライバ 25 とを備えている。画素部 23 には、ゲート配線 $G_1 \cdots G_m, G_{m+1} \cdots G_i$ とドレイン配線 $D_1 \cdots D_n, D_{n+1} \cdots D_j$ とが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素 24 が設けられている。各ゲート配線はゲートドライバ 25 に接続され、ゲートドライバ 25 からゲート信号が印加されるように構成され、また、各ドレイン配線は、ドレインドライバ 26 に接続されており、このドレインドライバ 26 からデータ信号から印加されるように構成されている。このドレインドライバ 26 及びゲートドライバ 25 により周辺駆動回路が構成されている。そして、ドレインドライバ 26 及びゲートドライバ 25 のうち、少なくとも一方が画素部 23 と同一基板上に形成されており、このような構造の LCD がいわゆるドライバー一体型 LCD と称される。

【0072】図 6 は、ゲート配線とドレイン配線との直交部分に設けられている画素 24 の等価回路図である。さらに、図 7 は、画素部周辺の具体的な平面構造図であり、図 8 は、図 7 中の切断線 A-A に沿った方向からの断面構造図である。図 6 ～ 図 8 に示すように、画素 24 は、画素駆動素子としての TFT 20 と、液晶セル LC 及び補助容量 CS から構成される。ゲート配線 G_m には TFT のゲート G が接続され、ドレイン配線 D_n には TFT のドレイン D が接続されている。そして、TFT のソース S には、液晶セル LC の表示電極と補助容量電極とが接続されている。この液晶セル LC と補助容量 CS とにより信号蓄積素子が構成される。

【0073】このように構成された画素において、ゲート配線 G_m を正電圧にして TFT のゲートに正電圧を印加すると、TFT 20 がオンとなる。すると、ドレイン配線 D_n に印加されたデータ信号によって、液晶セル L

10

20

30

40

50

Cの静電容量と補助容量CSとが充電される。反対に、ゲート配線に負電圧を印加すると、TFT20がオフとなり、その時点でドレイン配線に印加されていた電圧が液晶セルの静電容量と補助容量とによって保持される。このように、画素へ書き込みたいデータ信号をドレイン配線に与えて、ゲート配線の印加電圧を制御することにより、画素に任意のデータ信号を保持させておくことができる。その画素の保持しているデータ信号に応じて液晶セルの透過率が変化し、画像が表示される。

【0074】上記のように、LCDでは、ガラスや石英などの基板上に多結晶シリコンTFTを用いた画素領域及び周辺駆動回路が製造される。このようなLCDでは、基板に用いる材料の耐熱特性に応じて高温製造プロセスと低温製造プロセスとが使い分けられる。低温製造プロセスの場合、基板には耐熱性の低いガラス基板等が使用されるため、製造プロセスにおいて高温での処理工程が行われると、ガラスなどの基板に熱変形や反りなどが生じる。このために、基板上への多結晶シリコンTFTの製造プロセスは、低温で、例えば500～650℃の温度下で行われることが必要とされる。従って、本発明のように、酸素元素を含む雰囲気下で、しかも低温で固相成長をさせることによって形成される多結晶シリコン膜は、このような低温プロセスが特に要求されるLCDに好適なものである。

【0075】第2の実施形態

図9は、本発明の第2の実施形態に係る薄膜トランジスタの主要な製造工程を示す説明図である。この第2の実施形態では、第1の実施形態に対し、非晶質シリコン膜を多結晶シリコン膜に結晶化させる固相成長プロセスが異なるものである。従って、図9(a)～図9(d)に示す製造工程は、第1の実施形態における図1(a)～図1(c)に示す製造プロセスに置き換えられるものである。なお、この第2の実施形態は、主に請求項1～14及び請求項19、25、29、35に対応するものである。

【0076】以下、基板上に多結晶シリコン膜を形成する工程について説明する。まず、図9(a)に示すように、半導体基板あるいは絶縁性基板1を用意する。半導体基板としては、シリコン基板、砒化ガリウム基板が含まれ、絶縁性基板としては、ガラス、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどあらゆる絶縁材料による基板が含まれる。また、表面にシリコン膜などの絶縁膜を設けた金属などの導電性基板、さらには表面にシリコン酸化膜などの絶縁膜を設けた半導体性基板も適用することができる。

【0077】次に、図9(b)に示すように、LPCVD法を用いて、基板1上に非晶質シリコン膜2を形成する。成膜条件としては、例えば第1の実施形態と同様に、表1に示す条件が設定される。

【0078】なお、非晶質シリコン膜2は、プラズマC

VD法を用いて形成することもできる。この場合の成膜条件は、例えば、

基板温度：500～600℃

ガス流量：SiH₄：50sccm

H₂：40sccm

RFパワー：40W

である。

【0079】さらに、図9(c)に示すように、熱処理を施すことにより、非晶質シリコン膜2を固相成長させて多結晶シリコン膜3を得る。図10は、この熱処理に用いられる装置の構成を原理的に示す構成図である。非晶質シリコン膜2が形成された基板1は石英管61の内部に導入される。石英管61の周囲にはヒーター62が設けられており、このヒーター62によって基板1が所定の温度に加熱、維持される。石英管61の一端には、石英管61の内部に所定のガスなどを導入するための導入管70が接続されている。また、この導入管70にはさらに複数の導入管64～66が接続されている。図示の例では、酸素を導入するための酸素導入管65と、ウエット酸素を導入するためのウエット酸素導入管64及び窒素ガスを導入するための窒素ガス導入管66とが接続されている。なお、窒素ガス導入管66は、本発明においては、特に必要なものではなく、後述する比較試験の際に用いられるに過ぎないものである。また、ウエット酸素導入管64の途中には、ウエット酸素発生器67が設けられている。このウエット酸素発生器67には、純水69を保持した容器の周囲にヒーター68が設けられている。そして、ウエット酸素導入管64から供給された酸素ガスが純水中に放出され、さらにヒーター68によって加熱され、過飽和状態となった容器上部の水蒸気と放出された酸素とが混合されウエット酸素が製造される。製造されたウエット酸素は、導入管70を通して石英管61の内部に導入される。

【0080】上記のような装置を用いて行われる熱処理工程は、以下のような条件に設定される。まず、石英管61の内部は、固相成長雰囲気ガスとしてウエット酸素が導入される。このウエット酸素は、過飽和状態であることが好ましい。但し、水蒸気の含有量が数ppmから数%程度である場合には、非晶質シリコン膜2の表面に形成される酸化膜の形成速度が遅くなる。従って、過飽和の状態は製造上の効率等を考慮して適宜決定される。

【0081】また、基板温度は、非晶質シリコン膜2が固相成長する必要な温度以上であり、かつ基板などに熱歪みが生じない程度の温度範囲が選ばれる。例えば、580℃～600℃の範囲に設定される。さらに、熱処理時間は、基板温度との関係で異なるが、固相成長した多結晶シリコン膜のグレインが十分に成長し得る時間、例えば10～20時間程度に設定される。

【0082】上記のような熱処理条件によって、熱処理

を行うと、図 9 (c) に示すように、非晶質シリコン 2 が固相成長を始め、結晶粒子が成長し始める。このとき、ウェット酸素雰囲気下にさらされた非晶質シリコン膜 2 の表面には酸化膜 3 0 が形成され始める。この酸化膜 3 0 は、化学量論比よりも S i リッチなシリコン酸化膜が形成され、このために、非晶質シリコン膜 2 中に含まれていた酸素が表面側に引き寄せられ、酸化膜中に取り込まれる。この結果、結晶化したシリコン膜中の酸素濃度は低下する。このような現象により、酸素濃度の極めて低い多結晶シリコン膜 3 を得ることができる。

【0083】なお、このウェット酸素雰囲気下での固相成長は、ウェット酸素のみならず、 CO_x 、 O_x 、 N_x 、 O 等のガス、あるいは窒素、アルゴン、キセノンなどの不活性ガスを含む水蒸気雰囲気下で行うことも可能である。

【0084】この後、多結晶シリコン膜 3 中の結晶欠陥を低減させるために、熱処理を行う。熱処理の条件は、当該多結晶シリコン薄膜トランジスタの製造が高温プロセスあるいは低温プロセスのいずれが適用されるかによって異なる。例えば、基板 1 として高耐熱ガラスや石英基板等を用いて高温プロセスを適用する場合には、熱処理は N_2 雰囲気中で $1050^{\circ}C$ 、0.5 時間行われる。また、基板 1 として通常のガラス等を用いて低温プロセスを適用する場合には、熱処理は N_2 雰囲気中で温度 $500 \sim 650^{\circ}C$ 、10 時間行われる。この処理を行うことにより、固相成長によって形成された多結晶シリコン膜 3 中に生じた結晶欠陥を修復し、良質の多結晶シリコン膜 3 を得ることができる。加えて、高温プロセスにおいて高温 ($1050^{\circ}C$) の熱処理を行った場合には、上記の固相成長工程に引き続き、さらに、結晶化された膜中から酸化膜 3 0 中へ酸素が取り込まれ、多結晶シリコン膜 3 中の酸素含有濃度をさらに低下させることができる。

【0085】さらに、図 9 (d) に示すように、上記の熱処理工程によって多結晶シリコン膜 3 の表面に形成された酸化膜 3 0 をフッ酸等のウェットエッチングなどを用いて除去する。これにより、基板 1 上に不純物としての酸素含有濃度が極めて低い多結晶シリコン膜 3 を形成することができる。そして、この多結晶シリコン膜 3 が、図 2 (d) ~ 図 2 (i) に示す工程によって製造される TFT の能動層として用いられる。

【0086】この第 2 の実施形態に係る薄膜トランジスタの製造プロセスに対し、以下のような 2 つの実験を行った。

第 1 の実験例

まず、基板上に非晶質シリコン膜を L P C V D 法を用いて形成した。非晶質シリコン膜の成膜条件は既に説明した表 1 の通りである。

【0087】次に、表 2 に示す熱処理条件で、非晶質シリコン膜を固相成長させた。

【0088】

【表 2】

項目	条 件	
温度	600℃	
時間	20 時間	
雰囲気	酸素	4 ℓ / 分
	ウェット酸素	0.3 ℓ / 分
圧力	760 Torr	

【0089】熱処理には図 10 に示す装置を使用した。石英管 6 1 の内部には、酸素と、ウェット酸素生成器により製造したウェット酸素を表中の流量で混合して導入した。

【0090】さらに、熱処理の温度プロファイルを図 11 に示す。図 11 に示すように、石英管 6 1 の内部を昇温し、基板温度が $600^{\circ}C$ となった時点で温度を固定し、20 時間固相成長を行わせた。その後、 N_2 雰囲気中で、温度 $600^{\circ}C$ 、50 時間熱処理を施した。その結果、結晶化した多結晶シリコン膜表面には 300 \AA 程度のシリコン酸化膜が形成された。このシリコン酸化膜は、フッ酸を用いたウェットエッチングにより除去した。このようにして得られた多結晶シリコン膜 2 について、膜中の酸素濃度及び結晶欠陥について検査した。比較のために、従来の N_2 雰囲気下で固相成長させて得られた多結晶シリコン膜についても同様の検査を行った。その結果を表 3 及び表 4 に示す。表 3 は、原料ガスとしてシランを用いた場合を示し、表 4 は、原料ガスとしてジシランを用いた場合を示している。

【0091】

【表 3】

原料ガス: SiH_4

	固相成長雰囲気	
	N_2 (従来)	ウェット O_2 (第1の実験例)
結晶欠陥数 *1 (スピノ/cm ²)	4.0×10^{13}	2.3×10^{13}
酸素濃度 *2 (cm ⁻³)	1.0×10^{19}	$< 7.0 \times 10^{18}$

* 1 : ESR法により求めた値

* 2 : SIMS法により求めた値

【0092】

【表4】

原料ガス: Si_2H_6

	固相成長雰囲気	
	N_2 (従来)	ウェット O_2 (第1の実験例)
結晶欠陥数 (スピノ/cm ²)	4.0×10^{13}	3.0×10^{13}
酸素濃度 (cm ⁻³)	1.0×10^{19}	$< 0.9 \times 10^{19}$

【0093】原料ガスとしてシランを用いた場合、あるいはジシランを用いた場合のいずれにおいても酸素濃度がSIMS法による検出装置の検出限界以下となっており、それに伴って膜中の結晶欠陥の数も大きく低下していることが判明した。

【0094】さらに、上記のようにして得られた多結晶シリコン膜を用いてTF Tを製造し、その特性を検査した。図14は、従来の方法によるTF Tと上記の実験例による多結晶シリコン膜を用いたTF Tのしきい値電圧と水素プラズマの処理時間との関係を示す特性図であ

る。図からわかるように、本実験例によるTF Tは短時間の水素プラズマ処理によってしきい値電圧が所望の電圧に低下するのに対し、従来のTF Tでは水素プラズマ処理時間が長くなり、しかも本実験例のTF Tのしきい値電圧よりも高くなっている。これは、能動層に用いた多結晶シリコン膜の膜中の結晶欠陥が低減されていることによるものである。このようなTF Tの特性の向上を他のパラメーターによって表5に示す。

【0095】

【表5】

	従来 (N_2)	第2実施形態 (ウェット O_2)
移動度 (cm ² /V.s)	8.0	35
V _{th} (V)	~7.0	2.0
S値 (V/dec.)	1.6	0.27

【0096】上記の表5に示すように、3時間の水素プラズマ処理を行った場合、本実験例のTF Tでは、キャリア移動度が向上し、しきい値電圧が低下し、またサブスレッショールドスイング値 (S値) が小さくなっていることがわかる。従って、低電圧で駆動可能な応答速度の速いTF Tが得られている。

【0097】第2の実験例

この実験例は、第1の実験例に対し、固相成長後に、 N_2 、雰囲気下で高温の熱処理を行った点異なる。

【0098】まず、石英ガラス基板上に非晶質シリコン膜をLPCVD法を用いて形成した。非晶質シリコン膜の成膜条件は下記の表6の通りである。

【0099】

【表6】

原材料ガス	Si_2H_6
圧力	0.6 Torr
基板温度	480℃
ガス流量	80 cc/分
成膜速度	30 Å/分

【0100】次に、上記表2に示す熱処理条件と同じ条件で、非晶質シリコン膜を固相成長させた。熱処理には図10に示す装置を使用した。石英管61の内部には、酸素と、ウェット酸素生成器により製造したウェット酸素を表中の流量で混合して導入した。

【0101】さらに、図11に示す熱処理の温度プロファイルに従って、石英管61の内部を昇温し、基板温度

が 600℃ となった時点で温度を固定し、20 時間固相成長を行わせた。その後、N₂ 雰囲気中で、温度 1050℃、0.5 時間熱処理を施した。その結果、結晶化した多結晶シリコン膜表面には 300 Å 程度のシリコン酸化膜が形成された。このシリコン酸化膜は、フッ酸を用いたウェットエッチングにより除去した。

【0102】また、比較のために、以下の従来の方法を用いて多結晶シリコン膜を形成した。すなわち、石英ガラス基板上に非晶質シリコン膜を形成した後、温度 60

0℃、20 時間、N₂ 雰囲気中で固相成長させ、多結晶シリコン膜を形成した。さらに、温度 1000℃、0.5 時間、酸素雰囲気中で熱処理を行い、その後、表面に形成された酸化膜を除去し、多結晶シリコン膜を得た。

【0103】このようにして得られた多結晶シリコン膜 2 について、膜中の酸素濃度及び結晶欠陥について検査した。その結果を表 7 に示す。

【0104】

【表 7】

	固相成長雰囲気	
	N ₂ (従来)	ウェット O ₂ (第 2 の実験例)
結晶欠陥密度 *1 (cm ⁻²)	7.8×10^{18}	$< 5 \times 10^{17}$
酸素濃度 *2 (cm ⁻³)	2.0×10^{18}	$< 9.0 \times 10^{17}$

*1 : ESR 法により求めた値

*2 : SIMS 法により求めた値

【0105】表 7 から明らかなように、本発明の多結晶シリコン膜は、従来例に比べ、酸素濃度が SIMS 法による検出装置の検出限界以下となっており、また、膜中の結晶欠陥の数も大きく低下していることが判明した。

【0106】さらに、上記のようにして得られた多結晶シリコン膜を用いて TFT を製造し、その特性を検査し

た。その結果を表 8 に示す。なお、TFT はゲート幅 $W = 5 \mu\text{m}$ 、ゲート長 $L = 5 \mu\text{m}$ 、シングルゲート構造のものを製造した。

【0107】

【表 8】

	従 来 (N ₂)	第 2 の実験例 (ウェット O ₂)
移動度 (cm ² /V.s)	160	180
V _{th} (V)	1~2	0.5~1.0
S 値 (V/dec.)	0.2	0.15

【0108】上記の表 8 に示すように、本発明の TFT では、キャリア移動度が向上し、しきい値電圧が低下し、またサブスレッショールドスイング値 (S 値) が小さくなっていることがわかる。従って、低電圧で駆動可能な応答速度の速い TFT が得られている。

【0109】第 3 の実施形態

上記の第 2 の実施形態による方法においては、非晶質シリコン膜の固相成長工程と、膜中の不純物である酸素の除去工程を 1 回の熱処理により同時に行う方法について説明したが、両者の工程を各々個別に行ってもよい。図 13 は、このような方法による多結晶シリコン膜の製造工程を示した説明図である。なお、図 13 に示すこの第 3 の実施形態は、主に請求項 1~6 及び請求項 15~18、24、29、35 に対応するものである。

【0110】図 13 (a) 及び (b) は、図 9 (a)、(b) に示す第 2 の実施形態の場合と同様であるので、ここでの説明は省略する。引き続き、図 13 (c) に示すように、ここでは非晶質シリコン膜 2 が結晶化しない程度の低温度で、かつ膜中の酸素を除去し得るように熱

処理を行う。この場合、熱処理条件としては、以下のように設定される。

【0111】まず、雰囲気ガスとしては、第 2 の実施形態と同様にウェット酸素を用いる。なお、ウェット酸素のみならず、水蒸気と O₂ や O₃、あるいは N₂、O を含むウェット雰囲気中で行うこともできる。また、基板温度としては、非晶質シリコンが固相成長を生じない程度の低温で、かつ非晶質シリコンの表面に酸化膜 31 が形成され得る程度の温度範囲内で設定される。例えば、この温度は 500℃~580℃の範囲に設定される。また熱処理時間としては、10~20 時間程度に設定される。

【0112】このような条件下で熱処理を行うと、第 2 の実施形態の場合と同様に、非晶質シリコンの表面に酸化膜 31 が形成される過程において、非晶質シリコン中の酸素が酸化膜中に取り込まれ、これによって非晶質シリコン膜中の酸素濃度は減少する。

【0113】さらに、図 13 (d) に示すように、一般的な固相成長法を用いて、非晶質シリコン膜 2 を多結晶

シリコン膜3に結晶化させる。その後、表面に形成された酸化膜31をウェットエッチングなどを用いて除去する。これにより酸素濃度の極めて少ない多結晶シリコン膜3を得ることができる。なお、この工程においては、予め酸化膜31を除去した後、非晶質シリコン膜2を固相成長させてもよい。

【0114】また、非晶質シリコン膜2から多結晶シリコン膜3を得るための方法として、熔融再結晶化法を用いてもよい。この熔融再結晶化法は、基板温度を600℃以下に保持しつつ、非晶質シリコン膜2の表面だけを溶融させて再結晶化させる方法であり、例えばレーザーアニール法やRTA (Rapid Thermal Annealing) 法がある。レーザーアニール法は、非晶質シリコン膜2の表面にレーザーを照射して加熱溶融させる方法である。またRTA法は、非晶質シリコン膜2の表面にランプ光を照射して加熱溶融させる方法である。このような方法により製造された多結晶シリコン膜3は、この後に引き続き

不純物 (cm^{-3})	従 来 (N_2)	第3実施形態 (ウェット O_2)	熱処理前
炭素	5×10^{17}	5×10^{17}	5×10^{17}
酸素	1×10^{19}	$< 1 \times 10^{18}$	1×10^{19}
窒素	1×10^{17}	1×10^{17}	1×10^{17}

【0117】表9から明らかなように、本実験例では、熱処理の前後で酸素濃度が大幅に減少（検出限界以下）していることがわかる。このため、このような酸素濃度が極めて低い非晶質シリコン膜を多結晶化して得られた多結晶シリコン膜は同様に膜中の酸素濃度が低く、従って結晶欠陥の少ない優れた多結晶シリコン膜が得られる。

【0118】第4の実施形態

図15は、本発明の第4の実施形態に係る太陽電池（光起電力装置）の製造工程を順に示した説明図である。本発明による多結晶シリコン膜の製造プロセスは、以下に説明するような太陽電池の多結晶シリコン電極の製造プロセスにも適用することができる。以下、その太陽電池の製造工程につき図15を参照して説明する。なお、この第4の実施形態は、請求項26～28に対応するものである。

【0119】まず、図15（a）に示すように、高融点金属からなる基板50の表面上にプラズマCVD法などを用いて、リン（P）がドーピングされたn型非晶質シリコン膜51と、ノンドープの非晶質シリコン膜52を連続的に成膜させる。

【0120】次に、図15（b）に示すように、ウェット酸素雰囲気中で熱処理を起こし、n型の非晶質シリコン膜51及びノンドープの非晶質シリコン膜52を固相成長させる。この熱処理工程は、第2及び第3の実施形態における熱処理と同様の条件で行うことができる。そして、第2の実施形態と同様の条件で熱処理を行うと、

行われる図1（d）～図2（i）に示す工程によって製造されるTFETの能動層として用いられる。

【0115】また、第3の実施形態に係る薄膜トランジスタの製造方法においても、同様に実験を行った。図14は、この実験での非晶質シリコン膜の熱処理における温度プロファイルである。この実験例では、基板温度575℃で20時間保持している。この温度では、非晶質シリコンの結晶化は生じず、なおかつ非晶質シリコン膜の表面はウェット酸素雰囲気下で酸化され、酸化膜が形成される。また、この実験では、比較のために、従来と同様に窒素雰囲気下で熱処理を行った例を示している。表9は、熱処理後のアモルファスシリコン中の不純物の含有濃度をSIMS分析を用いて分析した結果を示している。

【0116】

【表9】

n型及びノンドープの非晶質シリコン膜51、52が固相成長し、各々多結晶シリコン膜51a、52aとなり、ノンドープの多結晶シリコン膜52a表面には、薄い酸化膜が形成される。そして、ウェットエッチング等を用いて表面の酸化膜を除去する。

【0121】また、第3の実施形態と同様の熱処理を行った場合には、ノンドープの非晶質シリコン膜52表面が酸化される過程で、非晶質シリコン膜51、52中の酸素が表面の酸化膜中に取り込まれ、膜中の酸素濃度が低下する。そして、引き続き、あるいは表面の酸化膜を除去した後、固相成長法、熔融再結晶化法などを適用して各々多結晶シリコン膜51a、52aを結晶化させる。

【0122】さらに、図15（c）に示すように、プラズマCVD法などを用いてボロン（B）などのp型不純物がドーピングされたp型非晶質シリコン膜53を形成する。

そして、ウェット酸素雰囲気あるいはN₂雰囲気中で熱処理を施し、多結晶シリコン膜53aを形成する。

【0123】さらに、図15（d）に示すように、p型の多結晶シリコン膜53aの上にITOの透明電極54を形成する。そして、所定の配線を接続し、太陽電池が完成する。

【0124】上記のような工程によって形成された太陽電池もpin構造の各層、少なくともin層を構成する多結晶シリコン膜は、酸素濃度が低減されており、これによって膜中の結晶欠陥が減少されている。従って、光電変換効率の優れた太陽電池を得ることができる。

【0125】第1、第2及び第4の実施形態の変形例
第1の実施形態の図1(c)に示す工程、第2の実施形態の図9(c)に示す工程、及び第4の実施形態の図15(b)に示す工程では、ウェット酸素雰囲気中で非晶質シリコン膜を固相成長させることによって多結晶シリコン膜を形成したが、この固相成長法に代えて、熔融再結晶化法を用いることも可能である。熔融再結晶化法としては、レーザーアニール法やRTA法が用いられる。例えば、図16は、ウェット酸素の導入を可能としたレーザーアニール装置の概略構成図である。レーザーアニール装置80は、容器84の内部に基板87を載置し、加熱するためのステージ86を備える。さらに、容器84には内部にウェット酸素を導入するための導入管88と、内部ガス排出用の排出管89が設けられている。そして、エキシマレーザー81から発射されたレーザー光は、ミラー82、ビームホモジナイザ83、石英窓85を通して基板87の表面に照射される。これにより、基板87表面の非晶質シリコン膜が熔融し再結晶化される。この際のアニール条件は、例えば以下のように設定される。

【0126】

光源：XeFあるいはArFエキシマレーザー

エネルギー密度：100～300mJ/cm²

基板温度：＜600℃

雰囲気：ウェット酸素雰囲気（過飽和状態）

流量：3リットル/分

【0127】また、この熔融再結晶化工程の後には、既に説明したように、N₂雰囲気中において熱処理を行い、多結晶シリコン膜中の結晶欠陥の低減化を図ってもよい。この場合、熔融再結晶化工程が低温プロセスであることを考慮すれば、上記熱処理も低温で行うことが好ましいが、高温、例えば1000℃程度で熱処理を行っても構わない。

【0128】さらに、熔融再結晶化法としてRTA法を用いる場合には、図16に示す装置において、石英窓85の上部にXeランプを取り付けられればよい。そして、ランプ入力を～600W程度とし、基板温度を500～600℃に設定することにより、非晶質シリコン膜を熔融し、再結晶化させて多結晶シリコン膜を得ることができる。また、この後には、上記と同様の熱処理工程を行うことも可能である。

【0129】なお、本発明による製造プロセスにより製造された多結晶シリコン膜あるいは該多結晶シリコン膜を用いたTFTは、特に低温プロセスにより製造される種々の装置に適用することが可能である。従って、上記のようにLCDのみならず、CCD（Charge-Coupled Device）のスイッチング素子や、SRAM（スタティック型ランダムアクセスメモリ）などに用いることができる。また、多結晶シリコン配線などにおいて、膜中の結晶欠陥に起因してマイグレーションなどの欠陥の発生が

懸念されるような場合にも、本発明の多結晶シリコン膜の製造プロセス及び該プロセスにより製造された多結晶シリコン膜を用いることができる。

【0130】さらに、上記の実施形態においては、半導体膜として多結晶シリコン膜を用いた例について説明したが、本発明は、II-VI族、III-V族、IV-IV族等の化合物半導体膜に対して適用することもできる。

【0131】

【発明の効果】このように、本発明の半導体装置の製造方法によれば、従来の方法に比べ、より平坦な表面を持つ多結晶シリコン膜等の半導体膜を得ることが可能となり、このような半導体膜を用いたTFTなどの素子の特性を向上させることができる。また、本発明の他の局面による半導体膜の処理方法及び半導体装置の製造方法によれば、特に低温プロセスにおいても不純物である酸素の含有濃度の少ない多結晶シリコン膜等の半導体膜を容易に形成することが可能となり、結晶欠陥の少ない良質な半導体膜を得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る薄膜トランジスタの製造工程図。

【図2】図1に引き続く薄膜トランジスタの製造工程図。

【図3】図1及び図2に示す製造工程により製造された薄膜トランジスタの多結晶シリコン膜の表面粗さを示す特性図。

【図4】本発明の第1の実施形態に係る薄膜トランジスタのゲート電圧対ドレイン電流特性図。

【図5】本発明の第1の実施形態に係る薄膜トランジスタが適用される液晶ディスプレイの平面構造ブロック図。

【図6】図5に示す画素領域の等価回路図。

【図7】図5及び図6に示す画素領域の平面構造図。

【図8】図7中の切断線A-Aに沿う方向からの断面構造図。

【図9】本発明の第2の実施形態に係る薄膜トランジスタの主要な製造工程を示す製造工程図。

【図10】図9に示す製造工程の熱処理工程に用いられる熱処理装置の構造原理図。

【図11】本発明の第2の実施形態による薄膜トランジスタの実験例に適用される処理の温度プロファイル。

【図12】第2の実施形態により製造された薄膜トランジスタのしきい値電圧特定図。

【図13】本発明の第3の実施形態に係る薄膜トランジスタの主要な製造工程を示す製造工程図。

【図14】本発明の第3の実施形態に係る薄膜トランジスタの製造に適用される熱処理の温度プロファイル。

【図15】本発明の第4の実施形態に係る太陽電池の製造工程を示す製造工程図。

【図16】非晶質シリコン膜の熔融再結晶化に用いられ

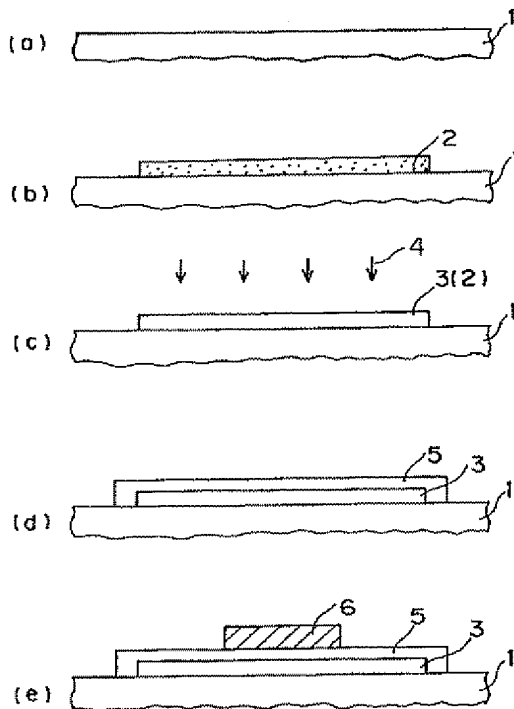
るレーザーアニール装置の概略構成図。

【図 1 7】従来の薄膜トランジスタの製造工程図。

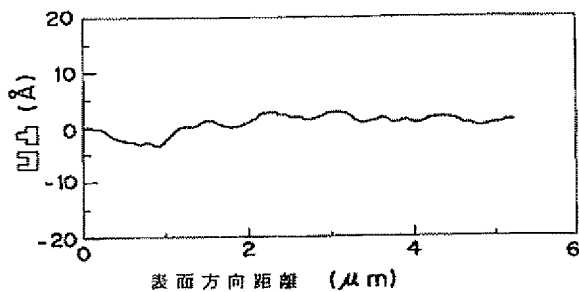
【図 1 8】図 1 7 に引き続き従来の薄膜トランジスタの製造工程図。

【図 1 9】従来の製造方法により製造された薄膜トランジスタの多結晶シリコン膜の表面粗さを示す測定図。

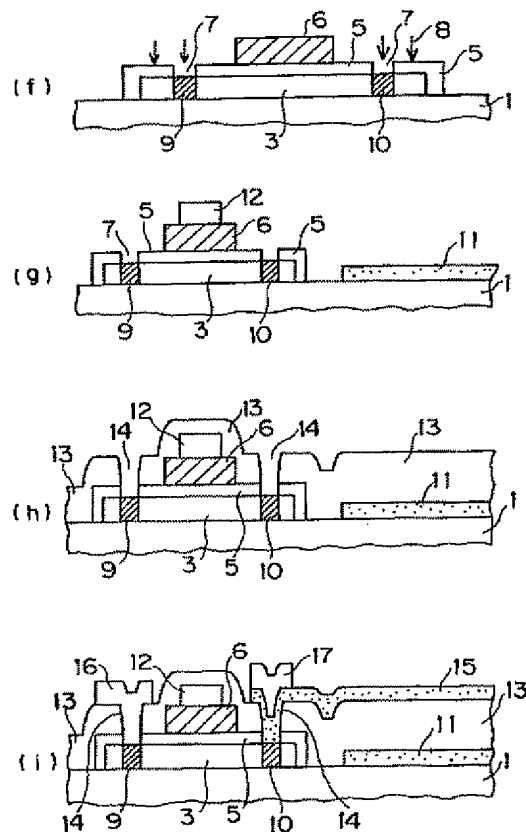
【図 1】



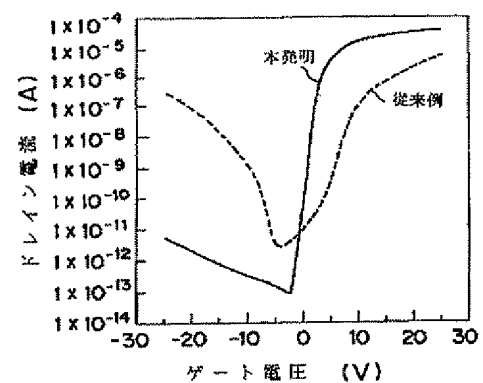
【図 3】



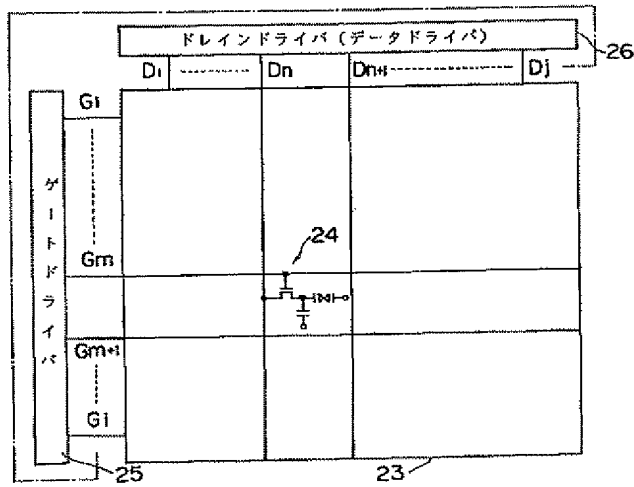
【図 2】



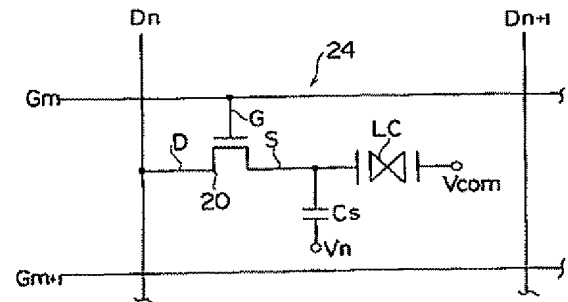
【図 4】



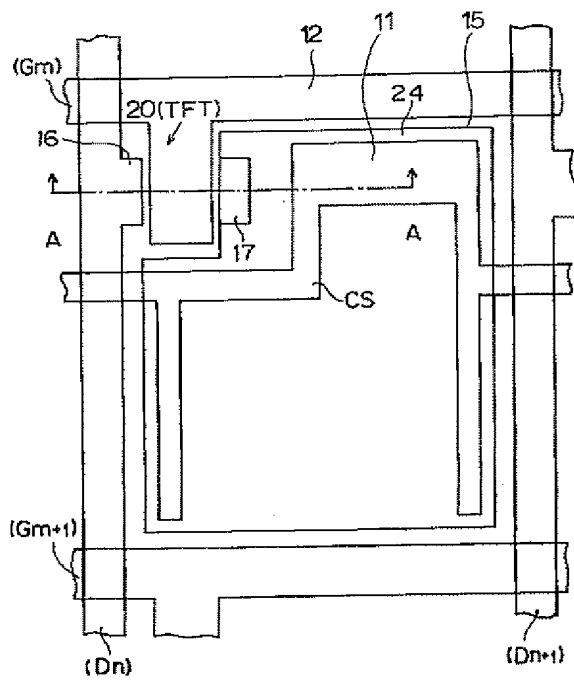
【図 5】



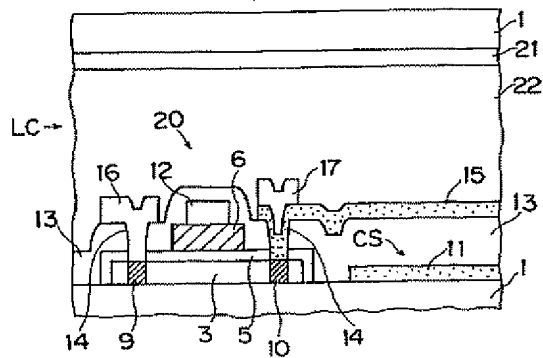
【図 6】



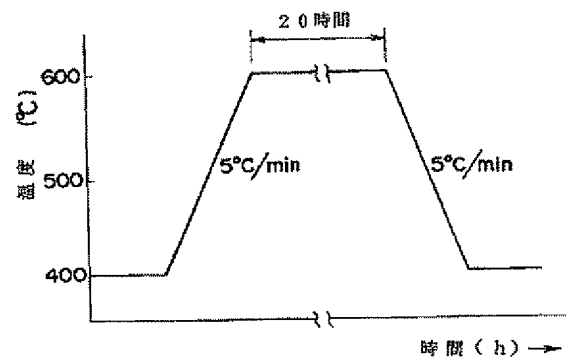
【図 7】



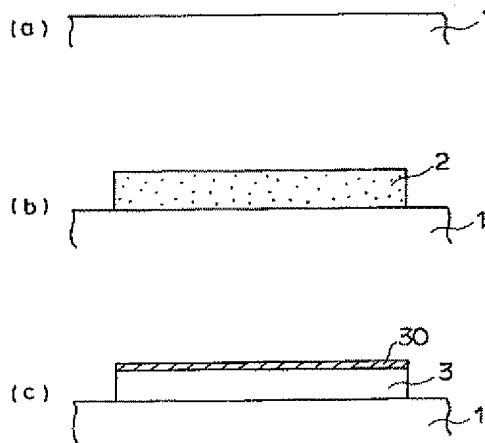
【図 8】



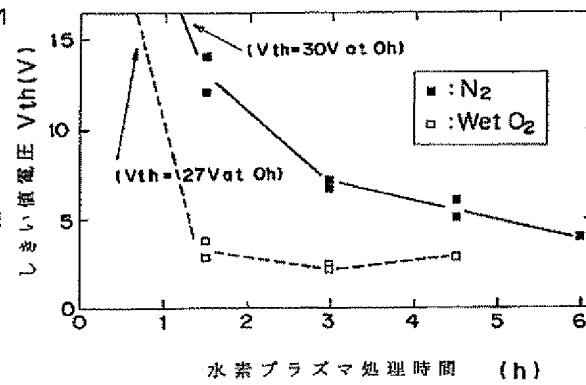
【図 11】



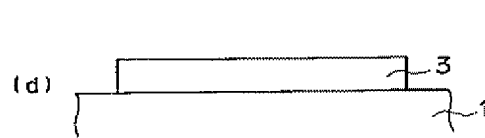
【図 9】



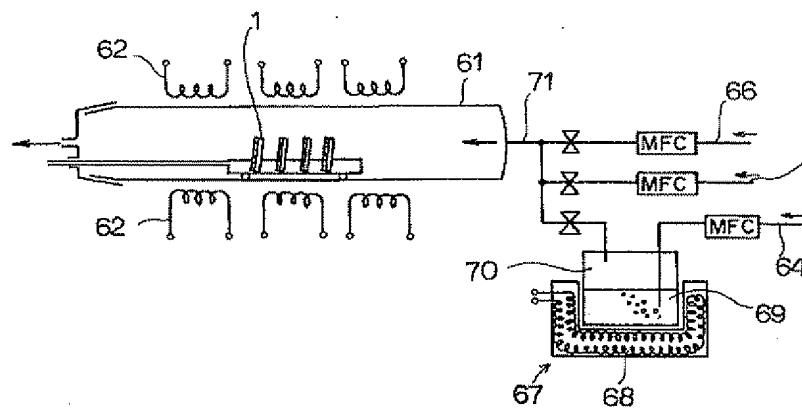
【図 12】



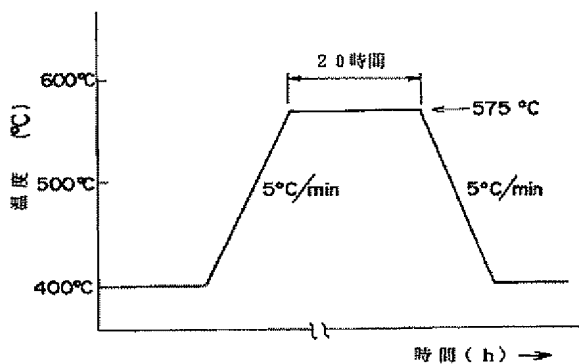
【図 13】



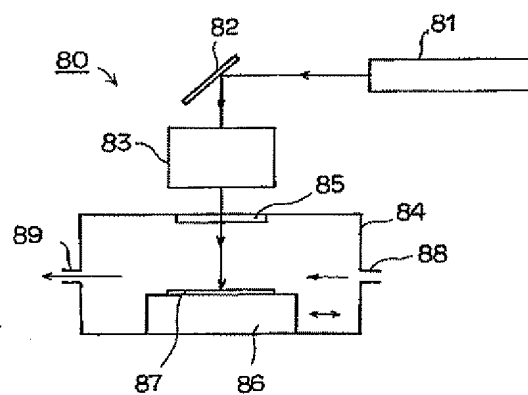
【図 10】



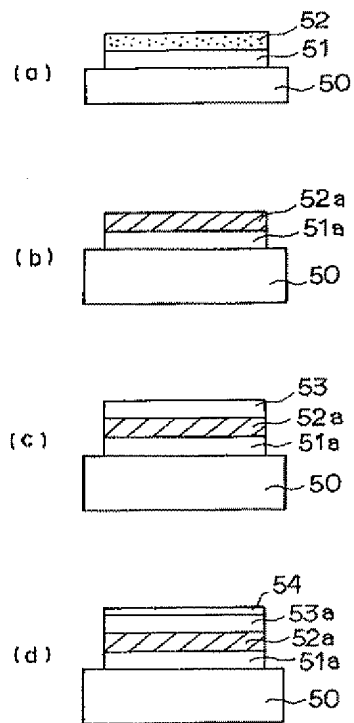
【図 14】



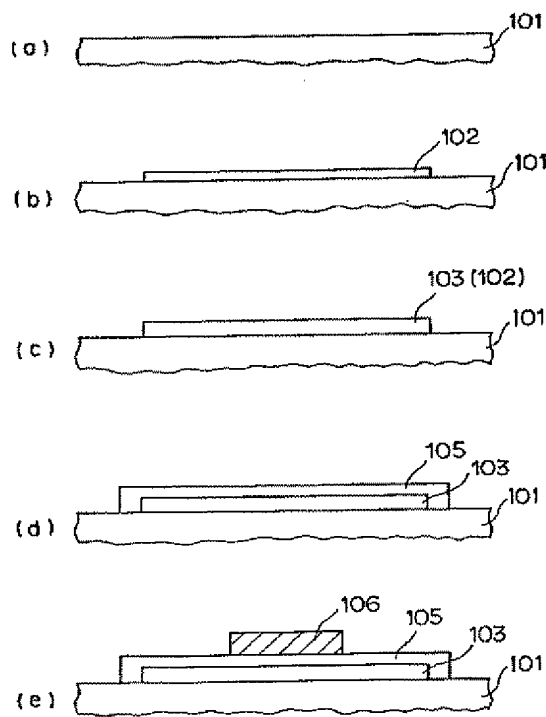
【図 16】



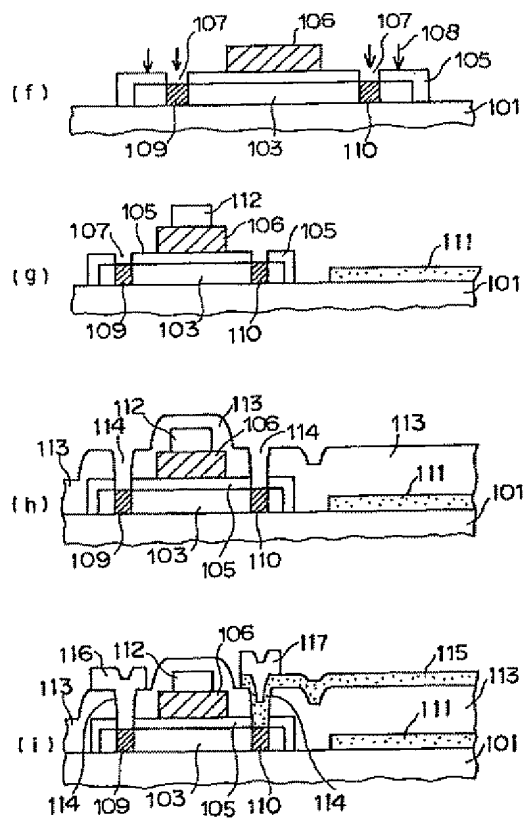
【図 15】



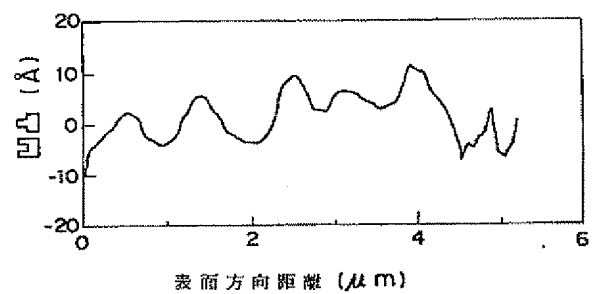
【図 17】



【図 18】



【図 19】



フロントページの続き

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/12		H 0 1 L	C
	27/146		27/14	
	29/78		29/78	3 0 1 P